

PAT-NO: JP403250742A

DOCUMENT-IDENTIFIER: JP 03250742 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 8, 1991

INVENTOR-INFORMATION:

NAME

NAKAMURA, TOSHIHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP02047952

APPL-DATE: February 28, 1990

INT-CL (IPC): H01L021/338, H01L029/812

US-CL-CURRENT: 257/195, 438/217 , 438/FOR.217

ABSTRACT:

PURPOSE: To obtain a semiconductor device whose carrier concentration is uniform inside a substrate face and whose carrier mobility is high by a method wherein selenium is used as a dopant which is introduced into a carrier

supply

layer and silicon is used as a dopant which is introduced into a threshold control layer.

CONSTITUTION: An n-type AlGaAs electron supply layer 5 and an n-type AlGaAs threshold control layer 7 are doped with Se as impurities; an n-type GaAs threshold control layer 6 and an n-type GaAs cap layer 8 are doped with Si as impurities. Even when the GaAs layers 6, 8 are doped with Si, a deep level is not formed in the GaAs layers. Even when a substrate temperature is raised when the GaAs layers are grown, the distribution of a carrier concentration on the substrate face is nearly uniform inside face. Consequently, a crystal growth temperature can be raised, and the carrier mobility of a high-electron-mobility transistor (HEMT) can be increased. Thereby, it is possible to obtain a high-speed semiconductor device whose carrier mobility is high and whose carrier concentration distribution inside the substrate face is uniform.

COPYRIGHT: (C)1991,JPO&Japio

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-250742

⑮ Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月8日

H 01 L 21/338  
29/812

7735-5F H 01 L 29/80

H

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 半導体装置

⑯ 特 願 平2-47952

⑰ 出 願 平2(1990)2月28日

⑱ 発 明 者 中 村 智 弘 神奈川県川崎市中原区上小田中1015番地 富士通株式会社  
内

⑲ 出 願 人 富 士 通 株 式 会 社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 井 桁 貞 一 外2名

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

基板上に順次積層されたGaAsからなるチャネル層、一導電型のAlGaAsからなるキャリア供給層及び一導電型のGaAsからなる閾値制御層を有する半導体装置において、

前記キャリア供給層に導入されるドーパントはセレンであり、前記閾値制御層に導入されるドーパントはシリコンであることを特徴とする半導体装置。

3. 発明の詳細な説明

(概要)

AlGaAs/GaAs系ヘテロ接合を利用して発生させた二次元キャリア・ガス層をチャネルとする半導体装置に関し、DXセンタがなく、ドーピング濃度及びその面内均一性が低下することがなく、又キャリア移動度の高い半導体装置を得ることを目的とし、基板上に順次積層されたGa

Asからなるチャネル層、一導電型のAlGaAsからなるキャリア供給層及び一導電型のGaAsからなる閾値制御層を有する半導体装置において、前記キャリア供給層に導入されるドーパントはセレンであり、前記閾値制御層に導入されるドーパントはシリコンであるように構成する。

(産業上の利用分野)

本発明は、AlGaAs/GaAs系ヘテロ接合を利用して発生させた二次元キャリア・ガス層をチャネルとする半導体装置に関する。

近年、動作速度の高速化に伴い、高電子移動度トランジスタ(以下、HEMTと称する。)に代表される二次元電子ガス層を利用したトランジスタが注目されている。HEMTは現在単体素子では実用段階に達しており、衛星放送等のマイクロ波関連の製品に使用されている。またHEMTをコンピュータに応用する研究も行われており、高集積化の要望も強い。

ところで、HEMTを使用したデジタル回路として、エンハンスメント型HEMT(以下E-H

EMTと称する。)とディプレッション型HEMT(以下、D-HEMTと称する。)を同一基板上に形成したものが利用されている。このタイプの回路はE-HEMTとD-HEMTを同一基板上に形成しているため、ロジック回路を最小のデバイス数で構成でき、消費電力も少なく済むので、近年盛んに研究されている。

(従来の技術)

HEMTは、一般的にGaAsからなるチャネル層と、該GaAsよりも電子親和力が小さいAlGaAsからなる電子供給層により構成され、該電子供給層にはSiがドーピングされてn型になっている。しかしながら、AlGaAsにSiをドーピングすると、該AlGaAs層内にDXセンタと呼ばれる深い準位が形成される。このDXセンタは、室温では、トランジスタに対してトランジェントすなわちスイッチング時の電流の追従の遅れを起こし、また77K程度の低温では、ソース・ドレイン電流の減少という悪影響をもたらす。そこで、前記問題点を解決する手段として前記

AlGaAsにセレン(Se)をドーピングすることが提案されている。

第7図は従来例を説明するための工程要所における半導体装置の要部切断側面図を表している。

この図において、51は半絶縁性GaAs基板、53はノンドープGaAsバッファ層及びチャネル層、54はノンドープAlGaAsスペーサ層、55はn型AlGaAs電子供給層、56はn型GaAs閾値制御層、57はn型AlGaAs閾値制御層、58はn型GaAsキャップ層、61はE-HEMTのソース電極、62はE-HEMTのゲート電極、63はE-HEMTのドレイン電極兼D-HEMTのソース電極、64はD-HEMTのゲート電極、65はD-HEMTのドレイン電極、53Dは2次元電子ガス層をそれぞれ示している。ここで、55・56・57・58の各層にはn型のドーパントとしてSeがドーピングされている。Seは、AlGaAs層内で深い準位を形成しないので、前記問題点を解決することができる。

(発明が解決しようとする課題)

しかしながら、55・56・57・58の各層にn型のドーパントとしてSeをドーピングした場合、以下のような問題点が生ずる。

すなわち、分子線結晶成長法(molecular beam epitaxy: 以下MBE法と称する。)を用いて前記第7図の構成のHEMTを形成する場合、SeをドーピングしながらGaAs層を成長させる時の基板温度は590℃以下、またSeをドーピングしながらAlGaAs層を成長させる時の基板温度は620℃以下に制限される。これは、この温度以下にしないとSeの再蒸発が起こり、ドーピング濃度の低下、或いはドーピング濃度の面内均一性の低下をきたしてしまうからである。基板面内においてドーピング濃度が低下するとコンタクト抵抗が大きくなり、また、ドーピング濃度にばらつきがあると、デバイスを作成した時にD-HEMTの閾値電圧の基板面内での変動、及びコンタクト抵抗の不均一をきたす。第8図はSeがドーピングされたGaAs層の各基板温度におけるキャリア濃度の基板面内分布を示している。こ

の図から明らかなように、590℃ではSeのキャリア濃度は面内ではほぼ均一であるのに対して、620℃ではキャリア濃度は、基板中央部で低く、基板同縁部で高くなっている。

一方、結晶品質から考えるとGaAs及びAlGaAsの成長温度は、できるだけ高いほうが良い。例えば、第7図において $Al_{0.2}Ga_{0.8}As$ スペーサ層54の厚さを30Åとした場合、温度77Kにおいて、基板温度590℃で成長させたAlGaAs層を有するHEMTでは、電子の移動度がおおよそ30000  $cm^2/Vs$  であるのに対し、620℃ではおおよそ60000  $cm^2/Vs$  に向上する。

従って、AlGaAsを成長させる時には、基板温度を620℃に、GaAsを成長させる場合には、基板温度を590℃に設定するのが、ドーピング濃度の面内均一性及びキャリア移動度の点から最も適したプロセス条件である。

しかしながら、従来のMBE装置では、AlGaAsを成長させる時には、基板温度を620℃に、GaAsを成長させる場合には、基板温度を

590℃に変化させて結晶成長させることは、別の理由からかえって成長結晶の品質を劣化させることになる。

すなわち、MBE装置内に設置された基板の温度を成長させる結晶に応じて変化させた場合、該基板を保持する基板ホルダの熱容量が大きいため、基板温度を変化させた時、基板の温度が安定するまでに数分の時間がかかる。そして、その間は結晶成長を中断しなければならない。このとき成長基板上に不純物が付着し、成長結晶に表面単位が発生するので、結晶品質が低下してしまうからである。

以上の理由により、基板上にGaAs及びAlGaAsを形成するためには、成長時の基板温度をおよそ590℃乃至620℃の間のいずれかの温度に保って結晶成長するよりほかなかった。しかし、これではキャリア濃度が面で均一であり、且つ充分なキャリア移動度をもったHEMTを得ることができない。

したがって、本願発明は、以上の問題点にかん

がみ、キャリア濃度が基板面内において均一であり、且つ、キャリア移動度の高い半導体装置を提供することを目的とする。

(課題を解決するための手段)

本発明は、GaAs層にはSiを、AlGaAs層にはSeをドーピングすることにより前記問題点を解決した。

すなわち、本発明は、基板上に順次積層されたGaAsからなるチャネル層、一導電型のAlGaAsからなるキャリア供給層及び一導電型のGaAsからなる閾値制御層を有する半導体装置において、前記キャリア供給層にはセレンをドーピングし、前記閾値制御層にはシリコンをドーピングすることを特徴とする。

第1図は、本発明の原理を説明するための工程要所における半導体装置の要部切断側面図を示している。この第1図において、1は半絶縁性GaAs基板、3はノンドープGaAsバッファ層及びチャネル層、4はノンドープAlGaAsスペーサ層、5はn型AlGaAs電子供給層、6は

n型GaAs閾値制御層、7はn型AlGaAs閾値制御層、8はn型GaAsキャップ層、11はE-HEMTのソース電極、12はE-HEMTのゲート電極、13はE-HEMTのドレイン電極兼D-HEMTのソース電極、14はD-HEMTのゲート電極、15はD-HEMTのドレイン電極をそれぞれ示している。ここで、n型AlGaAs電子供給層5及びn型AlGaAs閾値制御層7には、不純物としてSeが、n型GaAs閾値制御層6及びn型GaAsキャップ層8には、不純物としてSiがそれぞれドーピングされている。

(作用)

GaAs層にSiをドーピングしても、該GaAs層中に深い準位は形成されない。また、GaAs層を成長させる際、基板温度を620℃程度まで高めても、基板面上におけるキャリア濃度の分布は面内ではほぼ均一である。

したがって、GaAs結晶成長時の基板温度及びAlGaAs結晶成長時の基板温度をほぼ等し

く620℃にすることができる。

よって、結晶成長温度を従来よりも高くすることができ、HEMTのキャリア移動度を高めることができる。しかも、結晶成長時の基板温度を高めたことによって、キャリア濃度の面内均一性が低下することがない。

(実施例)

第2図乃至第6図は、本発明の一実施例を説明するための工程要所における半導体装置の要部切断側面図である。以下、この図面を用いて、本発明の一実施例を説明する。

第2図参照

①MBE法を適用することにより、半絶縁性GaAs基板21上に、厚さ6000ÅのノンドープGaAsバッファ層及びチャネル層22、厚さ30ÅのノンドープAlGaAsスペーサ層、厚さ350ÅのSeドーブn型AlGaAs電子供給層24、厚さ70ÅのSiドーブn型GaAs第1の閾値制御層25、厚さ50ÅのSeドーブn型AlGaAs第2の閾値制御層26、厚さ500ÅのSiドーブn型Ga

As キャップ層27を順次形成する。

尚、この間の成長基板温度は620℃、AlGaAs 層の組成は $\text{Al}_{0.2}\text{Ga}_{0.8}\text{As}$ 、24・25・26・27層の不純物濃度は $1.5 \times 10^{18} \text{cm}^{-3}$ である。また、前記スペーサ層は形成しなくてもよい。さらにMBE法は、例えば、有機金属化学気相成長(MOCVD)法等に代替することができる。

#### 第3図参照

①通常のフォトリソグラフィ技術におけるレジスト・プロセスを適用することにより、素子間分離領域形成予定部分に開口を有するフォトリソスト膜(図示せず)を形成する。

②イオン注入法を適用することにより、酸素イオンの打ち込みをおこなって、素子間分離領域28を形成する。この場合、ドーズ量： $2 \times 10^{12} \text{cm}^{-2}$ 、加速エネルギー：110 KeV とする打ち込み、及びドーズ量： $5 \times 10^{12} \text{cm}^{-2}$ 、加速エネルギー：50 KeV とする二重注入のいずれを実施してもよい。

尚、素子間分離としてはメサ・エッチングにより空気絶縁分離を採用しても良い。

・エッチングを適用することにより、n型GaAs キャップ層27、n型AlGaAs 第2の閾値制御層26及びn型GaAs 第1の閾値制御層25の選択エッチングを行ってゲート・リセス30Aを形成する。

#### 第4図参照

①通常のフォトリソグラフィ技術におけるレジスト・プロセスを適用することにより、ゲート・リセス30Aに対応する領域及びデプレッション型トランジスタ部分のゲート・リセス形成予定領域に開口を有するフォトリソストからなるマスク33を形成する。

②次に、 $\text{CCl}_4\text{F}_2$ をエッチング・ガスとする選択ドライエッチング法を適用することによりエッチングを行う。

この工程では、エンハンスメント型トランジスタ部分Eのn型GaAs 第1の閾値制御層25がエッチングされてn型AlGaAs 電子供給層24で停止し、また、デプレッション型トランジスタ部分Dのn型GaAs キャップ層27がエッチングさ

③通常のフォトリソグラフィ技術におけるレジスト・プロセスを適用することにより、オーミック・コンタクト電極形成予定部分に開口を有するフォトリソスト膜(図示せず)を形成する。

④マグネトロン・スパッタ法或いは蒸着法を適用することにより、AuGe/Au膜を形成する。この場合におけるAuGe/Au膜の厚さは、例えば1000Å/2000Å程度とする。

⑤前記④で形成したフォトリソスト膜を溶解除去することによるリフト・オフ法にてAuGe/Au膜のパターニングを行ってオーミック・コンタクト電極32を形成する。尚、この実施例の場合、オーミック・コンタクト電極32は左から順にソース電極、ドレイン兼ソース電極、及びドレイン電極となる。また、記号Eはエンハンスメント型トランジスタ部分を、記号Dはデプレッション型トランジスタ部分をそれぞれ示している。

⑥通常のフォトリソグラフィ技術におけるレジスト・プロセス及びエッチャントをフッ酸と過酸化水素水の希釈混合液とするウェット・ケミカル

れてn型AlGaAs 第2の閾値制御層26で停止する。

従って、エンハンスメント型トランジスタ部分Eにおいて、ゲート・リセス30Aが深くなり、デプレッション型トランジスタ部分Dにおいて、ゲート・リセス30Bが形成される。

#### 第5図参照

①フォトリソストからなるマスク33を残した状態でマグネトロン・スパッタリング法或いは蒸着法を適用することによってAl膜(図示せず)を形成する。

②前記マスク33を溶解・除去することによるリフト・オフ法で前記Al膜のパターニングを行ってゲート電極34及び35を形成する。

#### 第6図参照

①通常の技法を適用することにより、厚さ例えば7000Å程度のSiO<sub>2</sub>からなる層間絶縁膜36、電極コンタクト窓、TiPtAuなどからなる金属電極・配線37を形成して完成する。尚、図において、GNDは接地端子、OUTは出力端子、V<sub>DD</sub>は正側電源

電圧端子をそれぞれ示している。

尚、本実施例は、チャネル層上に各二層ずつのn型GaAs層及びn型AlGaAs層を形成した場合の例を述べたが、GaAs層にSiをドーピングし、AlGaAs層にSeをドーピングするのであれば、この層構成以外でも本発明を適用することができる。

〔効果〕

本発明の上記実施例によれば、Si及びSeのキャリア濃度の基板面内均一性は±1%以内であり、大変高い均一性を示している。また、結晶の品質を示す電子の移動度も、77Kにおいて、 $60000\text{ cm}^2/\text{Vs}$ を示しており、大変高い結晶品質が得られていることがわかった。閾値電圧のウェーハ面内での分散はE-HEMTで20mV、D-HEMTで60mVと大変高均一であり、これはすべてSiドーピングのHEMTとほぼ同一の性能である。また、DLTS(Deep Level Trap Spectroscopy)及びホール測定により、本発明によるHEMTには、DXセンタが殆ど無いことが判明した。

EMTのソース電極、12はE-HEMTのゲート電極、13はE-HEMTのドレイン電極兼D-HEMTのソース電極、14はD-HEMTのゲート電極、15はD-HEMTのドレイン電極をそれぞれ示している。

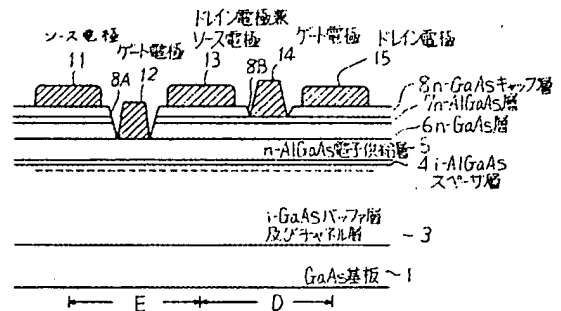
代理人 弁護士 井 桁 貞

以上説明したように、本発明によれば、キャリア移動度が高く且つ基板面内のキャリア濃度の分布が均一な高速半導体装置を得ることができる。

#### 4. 図面の簡単な説明

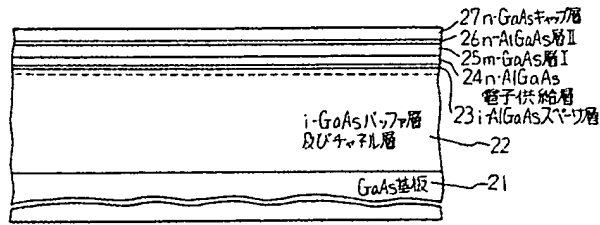
第1図は、本発明の原理を説明するための工程要所における半導体装置の要部切断側面図、第2図乃至第6図は、本発明の一実施例を説明するための工程要所における半導体装置の要部切断側面図、第7図は従来例を説明するための工程要所における半導体装置の要部切断側面図、第8図は、SeがドーピングされたGaAs層の各基板温度におけるキャリア濃度の基板面内分布を示す図面をそれぞれ示している。

なお、図面において、1は半絶縁性GaAs基板、3はノンドープGaAsバッファ層及びチャネル層、4はノンドープAlGaAsスペーサ層、5はn型AlGaAs電子供給層、6はn型GaAs層、7はn型AlGaAs閾値制御層、8はn型GaAsキャップ層、



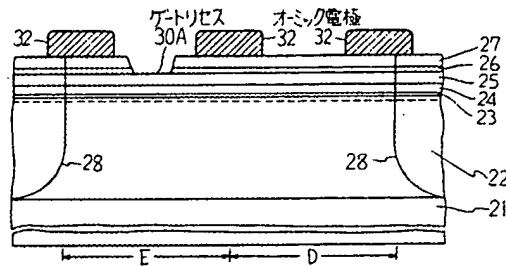
本発明の原理を説明するための工程要所における半導体装置の要部切断側面図

第 1 図



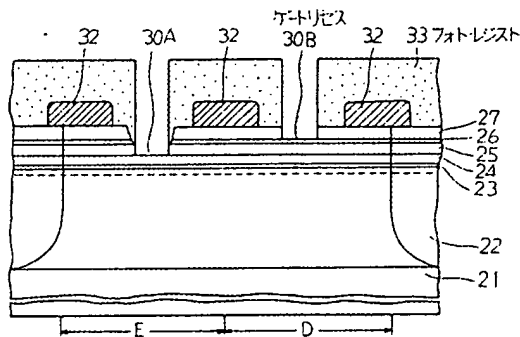
一実施例を説明するための工程要所に於ける半導体装置の要部切斷側面図

第 2 図



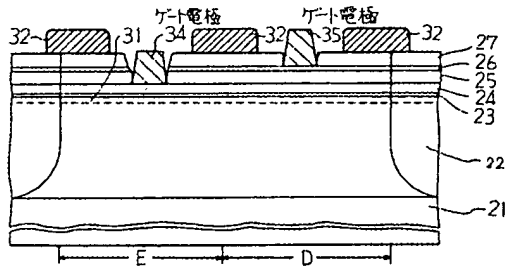
一実施例を説明するための工程要所に於ける半導体装置の要部切斷側面図

第 3 図



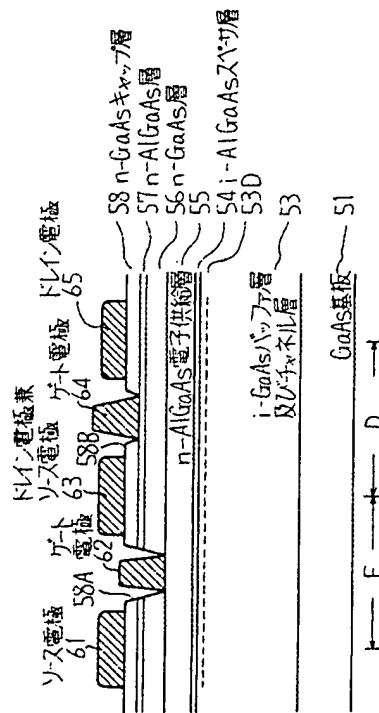
一実施例を説明するための工程要所に於ける半導体装置の要部切斷側面図

第 4 図



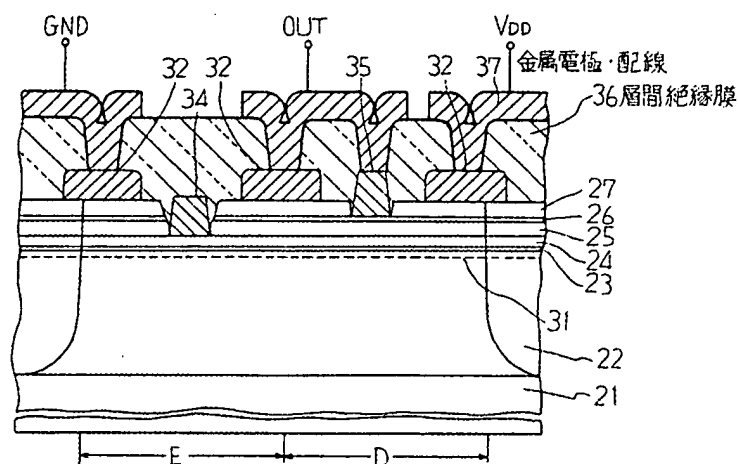
一実施例を説明するための工程要所に於ける半導体装置の要部切斷側面図

第 5 図



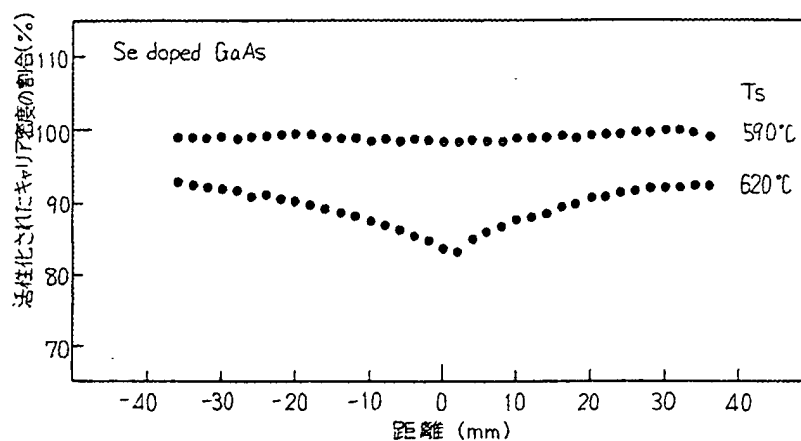
従来例を説明するための工程要所における半導体装置の要部切斷側面図

第 7 図



一実施例を説明するための工程要所に  
施ける半導体装置の要部切斷側面図

第 6 図



SeがドーピングされたGaAs層の各基板温度における  
キャリア濃度の基板面内分布を示す図面

第 8 図

PAT-NO: JP403250742A

DOCUMENT-IDENTIFIER: **JP 03250742 A**

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: November 8, 1991

INVENTOR-INFORMATION:

NAME

NAKAMURA, TOSHIHIRO

ASSIGNEE-INFORMATION:

NAME

FUJITSU LTD

COUNTRY

N/A

APPL-NO: JP02047952

APPL-DATE: February 28, 1990

INT-CL (IPC): H01L021/338, H01L029/812

US-CL-CURRENT: 257/195, 438/217 , 438/FOR.217

ABSTRACT:

PURPOSE: To obtain a semiconductor device whose carrier concentration is uniform inside a substrate face and whose carrier mobility is high by a method wherein selenium is used as a dopant which is introduced into a carrier

supply

layer and silicon is used as a dopant which is introduced into a threshold control layer.

CONSTITUTION: An n-type AlGaAs electron supply layer 5 and an n-type AlGaAs threshold control layer 7 are doped with Se as impurities; an n-type GaAs threshold control layer 6 and an n-type GaAs cap layer 8 are doped with Si as impurities. Even when the GaAs layers 6, 8 are doped with Si, a deep level is not formed in the GaAs layers. Even when a substrate temperature is raised when the GaAs layers are grown, the distribution of a carrier concentration on the substrate face is nearly uniform inside face. Consequently, a crystal growth temperature can be raised, and the carrier mobility of a high-electron-mobility transistor (HEMT) can be increased. Thereby, it is possible to obtain a high-speed semiconductor device whose carrier mobility is high and whose carrier concentration distribution inside the substrate face is uniform.

COPYRIGHT: (C)1991,JPO&Japio